

08.7.2004

日 本 国 特 許 庁
JAPAN PATENT OFFICE

REC'D 26 AUG 2004

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 7 月 9 日
Date of Application:

出 願 番 号 特 願 2 0 0 3 - 1 9 4 5 8 9
Application Number:
[ST. 10/C]: [J P 2 0 0 3 - 1 9 4 5 8 9]

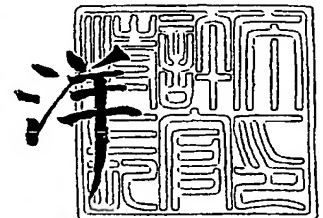
出 願 人 キヤノン株式会社
Applicant(s):

PRIORITY DOCUMENT
SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH
RULE 17.1(a), OR (b)

2 0 0 4 年 8 月 1 2 日

特許庁長官
Commissioner,
Japan Patent Office

小 川



【書類名】 特許願

【整理番号】 252484

【提出日】 平成15年 7月 9日

【あて先】 特許庁長官 殿

【国際特許分類】 G09F 9/30

【発明の名称】 表示装置

【請求項の数】 5

【発明者】

 【住所又は居所】 東京都大田区下丸子 3 丁目 3 0 番 2 号 キヤノン株式会
社内

 【氏名】 松田 陽次郎

【特許出願人】

 【識別番号】 000001007

 【氏名又は名称】 キヤノン株式会社

【代理人】

 【識別番号】 100082337

 【弁理士】

 【氏名又は名称】 近島 一夫

【選任した代理人】

 【識別番号】 100083138

 【弁理士】

 【氏名又は名称】 相田 伸二

【選任した代理人】

 【識別番号】 100089510

 【弁理士】

 【氏名又は名称】 田北 嵩晴

【手数料の表示】

 【予納台帳番号】 033558

 【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0103599

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 表示装置

【特許請求の範囲】

【請求項 1】 複数の画素がマトリックス状に配置されてなる表示素子と、各画素に対して階調信号を出力する駆動回路と、を備えた表示装置において、周囲の画素からの影響を相殺して所望通りの階調を表示できるように各画素の階調信号を補正する補正回路、を備えたことを特徴とする表示装置。

【請求項 2】 前記補正回路によって階調信号が補正される画素を補正画素とし、その補正画素の周囲の画素を周辺画素とした場合に、前記補正回路は、補正画素に表示させようとする階調についての情報と、周辺画素に表示させようとしている階調についての情報とから、前記補正画素に印加すべき階調信号を得る、ことを特徴とする請求項 1 に記載の表示装置。

【請求項 3】 周辺画素の状態と、補正画素に表示させようとする階調と、補正画素に所望通りの階調を表示させるように印加する階調信号との関係とを記憶した第 1 メモリ、を備え、前記補正回路は、該第 1 メモリのデータに基づき前記補正画素に印加すべき階調信号を得る、

ことを特徴とする請求項 2 に記載の表示装置。

【請求項 4】 前記補正回路による階調信号の補正は、表示階調のズレが許容範囲以上の場合に行う、

ことを特徴とする請求項 1 乃至 3 のいずれか 1 項に記載の表示装置。

【請求項 5】 前記表示素子が、帯電泳動粒子を移動させて種々の情報を表示するようにした電気泳動表示素子、或いは、液晶に電圧を印加して種々の情報を表示するようにした液晶表示素子である、

ことを特徴とする請求項 1 乃至 4 のいずれか 1 項に記載の表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、マトリックス状に配置された画素を有すると共に各画素で階調表示を行う表示装置に関する。

【0002】**【従来の技術】**

近年、種々の情報を表示する表示素子としては、

- ・ 帯電泳動粒子の位置を制御して情報を表示するようにした電気泳動表示素子や、
 - ・ 液晶に電圧を印加して情報を表示するようにした液晶表示素子、
- が注目されている。

【0003】

そして、これらの表示素子は、マトリックス状に配置された画素を有すると共に、各画素にて階調表示ができるように構成されている。

【0004】

図12(a)(b)は、電気泳動表示素子の構造の一例を示す断面図である。この電気泳動表示素子は、所定間隙を開けた状態に配置された一对の基板21a, 21bを備えており、各基板21a, 21bにはそれぞれ電極24a, 24bが配置されている。また、基板間隙には分散液22や帯電泳動粒子23が配置されていて、分散液22及び帯電泳動粒子23は異なる色に着色されている。そして、図12(a)に示すように、帯電泳動粒子23が電極24aの側に引き寄せられた場合には分散液22の色（例えば黒色）が画素の色として視認され、図12(b)に示すように、帯電泳動粒子23が電極24bの側に引き寄せられた場合には該帯電泳動粒子23の色（例えば白色）が画素の色として視認されるようになっている。また、帯電泳動粒子23を基板21aと21bの中間で停止させた場合には中間調が表示されるようになっている。

【0005】**【特許文献1】**

特開2000-258805号公報

【0006】

【発明が解決しようとする課題】

ところで、図 1 2 (a) (b) に示すように左右の画素の電圧が等しいか電圧差が小さい場合には特に問題は生じないものの、図 1 3 に示すように、電圧差が大きい場合には、隣接画素間電界干渉によって境界部分の帯電泳動粒子が乱れてしまい（符号 C 参照）、本来の階調を表示できず、表示品質が悪くなってしまうという問題があった。

【0007】

そこで本発明は、表示品質の劣化を低減する表示装置を提供することを目的とするものである。

【0008】**【課題を解決するための手段】**

本発明は上記事情を考慮してなされたものであり、複数の画素がマトリックス状に配置されてなる表示素子と、各画素に対して階調信号を出力する駆動回路と、を備えた表示装置において、

周囲の画素からの影響を相殺して所望通りの階調を表示できるように各画素の階調信号を補正する補正回路、を備えたことを特徴とする。

【0009】**【発明の実施の形態】**

以下、図 1 乃至図 1 1 を参照して、本発明の実施の形態について説明する。

【0010】

(1) まず、表示装置の全体構成について説明する。

【0011】

本発明に係る表示装置は、図 1 (a) (b) に示すように、複数の画素 $X_{1, 1}$, \dots がマトリックス状に配置されてなる表示素子 P と、各画素 $X_{1, 1}$, \dots に対して階調信号を出力する駆動回路 Q と、周囲の画素からの影響を相殺して所望通りの階調を表示できるように各画素の階調信号を補正する補正回路 R と、を備えている。上述の駆動回路 Q は、デジタル画像データを出力し、補正回路 R は、表示素子 P の特性に合わせてデジタル画像データを補正するようにし、補正回路 R と表示素子 P との間には、表示素子を駆動するためのアナログ信号を形成する回路

Uを設けると良い。

【0012】

ところで、表示階調を制御する方法としては、

- ① 印加電圧の大きさに応じて表示階調が変化するように表示素子Pを構成しておいて、各画素に印加する電圧の大きさを制御する方法（いわゆる電圧階調）と、
 - ② 印加時間の長さに応じて表示階調が変化するように表示素子Pを構成しておいて、各画素に電圧を印加する時間の長さを制御する方法（いわゆるパルス幅階調）と、
 - ③ 印加電圧の大きさと長さの両方によって表示階調が変化するように表示素子Pを構成しておいて、それらの両方を制御する方法、
- とを挙げることができ、階調信号は、上記①及び③の場合には印加電圧の大きさを規定する信号であり、上記②及び③の場合には電圧印加時間の長さを規定する信号である。

【0013】

- (2) ここで、補正回路Rについて説明する。

【0014】

いま、仮想的に1つの画素だけを駆動したとして、図2に示すように、駆動回路Qが V_1 という階調信号を印加すると階調1が表示され、 V_2 という階調信号を印加すると階調2が表示され、 V_x という階調信号を印加すると階調xが表示されるとする。

【0015】

しかし、これらの階調信号 V_x と表示階調xとの関係は絶対的なものではなく、他の画素を駆動した場合にはその周囲の画素の影響を受けて変動してしまう（詳細は後述する）。なお、図2では、階調信号が電圧の大きさであるが、電圧印加時間の場合も同様の問題がある。

【0016】

そこで、補正回路Rは、各画素の階調信号を補正して、その周囲の画素からの影響を相殺し、その画素に所望通りの階調を表示するように構成されている。

【0017】

以下、必要に応じて、前記補正回路によって階調信号が補正される画素を“補正画素”と称し、その補正画素の周囲の画素を“周辺画素”と称する。なお、上記補正回路Rによれば、図1(b)に示す画素Aを補正する場合にはその周辺の画素（例えば、B、C、D、E）の影響を相殺するようにするので、その場合の補正画素は画素Aであり、周辺画素は画素B、C、D、Eであるが、画素Bを補正する場合にはその周辺画素（例えば、G、A、F、…）の影響を相殺するようにするので、その場合の補正画素は画素Bであり、周辺画素は画素G、A、F、…である。

【0018】

ところで、縦横に画素を配置した場合、補正画素に隣接する画素の数は8個（図1(b)の符号H、C、G、B、F、E、I、D参照）であるので、8個全ての画素を周辺画素と考えて階調信号を補正しても良いが、特にこれに限られるものではない。例えば、上下左右の4個の画素B、C、D、Eだけを周辺画素と考えて階調信号を補正しても、左右の2個の画素D、Bだけを周辺画素と考えて階調信号を補正しても良い。画素の配置や構成に依存して、隣接画素間電界干渉の影響が大きい画素が存在する場合、その画素を考慮して階調信号に補正を加えるようにするのが好ましい。

【0019】

ところで、補正回路Rによりそのような補正をするには、

- ・ 補正画素（例えば、画素A）に表示させようとする階調についての情報と、
- ・ 周辺画素（例えば、画素B、C、D、E）に表示させようとしている階調についての情報

とが入力されることに基き、補正回路Rが、前記補正画素に印加すべき階調信号を得るようにする必要がある。

【0020】

そして、入力された情報に基づき階調信号を補正する方法としては、

- ・ 周辺画素の状態（例えば、図4(a)(b)及び図5(a)(b)の左欄に示すような、周辺画素B、C、D、Eに表示させようとしている階調）と、補正画素に表

示させようとする階調（例えば、図 4 (a) (b) 及び図 5 (a) (b) の左欄に示すような、補正画素 A に表示させようとしている階調）と、補正画素に所望通りの階調を表示させるように印加する階調信号（例えば、図 4 (a) (b) 及び図 5 (a) (b) の右欄参照）と、の関係をテーブルデータとして予め用意しておき、周辺画素の状態、並びに補正画素に表示させようとする階調との関係から、補正画素に印加すべき階調信号を得る方法や、

・ 周辺画素の状態と、補正画素に表示させようとする階調とを、実験的に求めておいた計算式に代入することによって、補正画素に印加すべき階調信号を得る方法

を挙げることができる。前者のテーブルデータは、予め実験により求めておいて不揮発なメモリ（図 1 (a) の符号 M_1 参照。以下、“第 1 メモリ”とする）に格納しておき、補正回路 R は、該第 1 メモリ M_1 のデータに基づき前記補正画素に印加すべき階調信号を得るようにすると良い。

【0021】

(3) 以下、上述のテーブルデータについて図 2 乃至図 5 に沿って詳述する。

【0022】

いま、1 つの画素 A だけを駆動する場合の階調信号と表示階調との関係が図 2 に示すものであるとする。

【0023】

この関係は、周辺画素 B, C, D, E を同一階調で駆動したとしても変わらないが（図 3 参照）、周辺画素に表示させようとする階調と補正画素に表示させようとする階調とに著しい差があるような場合には、周辺画素の影響を受けて補正画素の階調がずれてしまう。

【0024】

例えば図 4 (a) の左欄は、補正画素 A に階調 4 を表示する場合において、周辺画素 B, C, D, E の表示階調の全組み合わせを示し、中央欄は、補正しない階調信号 V_4 を補正画素 A に印加した場合の階調（正確には、反射型表示素子の階調に対応する変数である反射率）を示す。符号 K_{11} に示す組み合わせの表示では、階調信号 V_4 を印加することにより画素 A は所望通りの階調 4（17%）を表示

するが、符号 K_{12} に示す組み合わせの表示では、若干暗くなってしまう。また、図 4 (b) の左欄は、補正画素 A に階調 8 を表示する場合において、周辺画素 B, C, D, E の表示階調の全組み合わせを示し、中央欄は、補正しない階調信号 V_8 を補正画素 A に印加した場合の階調を示す。符号 K_{22} に示す組み合わせの表示では、階調信号 V_8 を印加することにより画素 A は所望通りの階調 8 (33%) を表示するが、符号 K_{21} に示す組み合わせの表示では若干明るく、符号 K_{23} に示す組み合わせの表示では若干暗くなってしまう。さらに、図 5 (a) の左欄は、補正画素 A に階調 12 を表示する場合において、周辺画素 B, C, D, E の表示階調の全組み合わせを示し、中央欄は、補正しない階調信号 V_{12} を補正画素 A に印加した場合の階調を示す。符号 K_{32} に示す組み合わせの表示では、階調信号 V_{12} を印加することにより画素 A は所望通りの階調 12 (49%) を表示するが、符号 K_{31} に示す組み合わせの表示では、若干明るくなってしまう。また、図 5 (b) の左欄は、補正画素 A に階調 16 を表示する場合において、周辺画素 B, C, D, E の表示階調の全組み合わせを示し、中央欄は、補正しない階調信号 V_{16} を補正画素 A に印加した場合の階調を示す。符号 K_{42} に示す組み合わせの表示では、階調信号 V_{16} を印加することにより画素 A は所望通りの階調 16 (65%程度) を表示するが、符号 K_{41} に示す組み合わせの表示では、若干明るくなってしまう。

【0025】

本実施の形態では、図 4 (a) (b) 図 5 (a) (b) に示すような現象や、所望通りの階調を表示するための補正值 (図 4 の符号 $V_{4'}$, $V_{8'}$, $V_{8''}$ 、図 5 の $V_{12'}$, $V_{16'}$ 参照) を、全ての階調について予め実験的に求めておいて、テーブルにしておく。

【0026】

そして、上述した補正回路 R がそのテーブルを参照して階調信号を補正するようになっている。

【0027】

(4) 次に、階調信号が補正される具体的手順を、図 6 及び図 7 を参照して説明する。

【0028】

まず、フラグ i, j を1にして(図6のS1参照)、補正画素 $X_{i, j}$ と周辺画素 $X_{i+1, j}, X_{i, j-1}, X_{i-1, j}, X_{i, j+1}$ とに表示させようとしている階調(例えば、画素データ)を抽出する(同図のS2参照)。なお、 $i-1 \geq 1$ で $j-1 \geq 1$ でなければならず、 $i=j=1$ の場合に $X_{i, j-1}, X_{i-1, j}$ の画素は実際には存在しないので、必要な処理を行う。

【0029】

次に、テーブルデータ等を参照して、補正画素 $X_{i, j}$ に印加すべき階調信号(例えば、書き換え電圧の値)を算出する(同図のS3参照)。その算出結果は、図1(a)に示す第2メモリ M_2 などに格納しておくが良い。そして、 j はそのまま i を1から2に変更して(図6のS4, S5, S6参照)、補正画素 $X_{2, 1}$ についての階調信号を算出する(同図のS2, S3参照)。このようにして横一列の画素の階調信号が算出されたら、 $i=1, J=2$ とされて(同図のS4, S5, S7参照)、2列目の画素の階調信号が算出される。そして、最後の列の階調信号が算出された時点で階調信号の算出は終了する(同図のS4参照)。

【0030】

この時点で、全ての画素の階調信号は第2メモリ M_2 などに格納されており、その信号が表示素子に送られて画像が表示される。

【0031】

ところで、図6に示すデータ処理の後に、図7に示すデータ処理を行うようにしても良い。すなわち、上述のように全ての画素につき階調信号(書き換え電圧)が算出された後、補正画素 $X_{i, j}$ 及び周辺画素 $X_{i+1, j}, X_{i, j-1}, X_{i-1, j}, X_{i, j+1}$ の算出結果(算出した階調信号)を抽出し(S12参照)、テーブルデータ等を参照して、補正画素 $X_{i, j}$ に印加すべき階調信号(例えば、書き換え電圧の値)を算出する(S13参照)。これを、全ての画素について行う(S14, S15, S16, S17参照)。

【0032】

このような算出は、全画素について行えば良く、全画素について1回だけでなく複数回行うようにしても良い(S18, S19参照)。回数を重ねる程、補正

の精度が向上する。

【0033】

なお、上記S13のステップで参照すべきテーブルデータは、図4及び図5に示したもの（つまり、表示階調と補正階調信号との関係についてのもの）ではなく、画素 $X_{i,j}$ 、 $X_{i+1,j}$ 、 $X_{i,j-1}$ 、 $X_{i-1,j}$ 、 $X_{i,j+1}$ に関して図6のデータ処理により算出された階調信号（例えば、書き換え電圧）と、画素 $X_{i,j}$ の補正階調信号との関係についてのものである。

【0034】

ところで、前記補正回路Rによる階調信号の補正は、表示階調のズレが許容範囲以上の場合に行うようにすると良い。例えば、表示階調のズレ率（＝補正しない階調信号により表示される階調÷表示させたい階調×100）が所定以下（例えば、±3%以下）の場合には、図6に示すデータ処理を行わないようにしても良い。また、図6及び図7に示す補正により表示される階調は、当初、表示させようとした階調に完全に一致している必要はなく、所定以下の誤差を有していても良い。すなわち、補正を加えることによって、反射率の変動差を0とする必要は必ずしもない。例えば、変動差±1%以下になるように補正を加えれば十分である。このようにして、すべての書き換え電圧の組み合わせについて、反射率の変動差±1%以上のものに対して補正値を求めることで、書き換え電圧変換テーブルを作成する。一般的に、このような実験は自動測定系によりおこなわれることが好ましい。また、書き換え電圧の補正は、印加電圧の大きさや、印加時間の長さ、または印加タイミング等によりおこなうことが好ましい。

【0035】

(5) 次に、表示素子について説明する。

【0036】

表示素子Pとしては、複数の画素がマトリックス状に配置されると共に、各画素にて階調表示が可能なものを用いることができ、例えば、

- ・ 帯電泳動粒子3を移動させて種々の情報を表示するようにした電気泳動表示素子（図8の符号P₁参照）や、
- ・ 液晶13に電圧を印加して種々の情報を表示するようにした液晶表示素子（

図11の符号P₂参照)、
を挙げることができる。

【0037】

以下、電気泳動表示素子及び液晶表示素子のそれぞれの構成について説明する。

【0038】

(5-1) 電気泳動表示素子の構成

電気泳動表示素子は、図8乃至図10に示すように、所定間隙を開けた状態に配置された一对の基板1a、1bと、これらの基板1a、1bの間隙に配置された分散液2及び複数の帯電泳動粒子3と、該分散液2に近接するように配置された一对の電極4a、4bと、により構成すると良い。なお、一方の電極4aに薄膜トランジスタ(TFT:Thin Film Transistor)等のスイッチング素子を接続してアクティブMTX駆動を行うようにすると良い。そして、電気泳動表示素子には、電源やタイミング制御のコントローラ、D/Aコンバータ、シフトレジスタ等を接続すると良い。またもちろんアクティブMTX駆動に限定されることはなく、一般的に知られているパッシブMTX駆動など他の駆動をもちいてもよい。

【0039】

この電気泳動表示素子P₁は反射型にすると良い。以下、反射型電気泳動表示素子の構成、並びに駆動方法について説明する。

【0040】

反射型電気泳動表示素子では、一对の電極4a、4bは分散液2を挟み込むように配置し、分散液2及び帯電泳動粒子3は異なる色に着色すると良い。以下の説明では、便宜上、分散液2が黒色で帯電泳動粒子3が白色とする。

【0041】

このような反射型電気泳動表示素子P₁を電圧階調方法で駆動すると次のようになる。

【0042】

① 図8(a)及び図2に示すように、電極4bを0Vとして電極4aにV₁=-

10 Vの電圧を印加すると、帯電泳動粒子3は電極4 aに沿うように L_1 の位置に停止され、階調1が表示される。

【0043】

② 図8(b)及び図2に示すように、電極4 aに $V_4 = +2$ Vの電圧を印加すると、帯電泳動粒子3は L_2 の位置に停止され、階調4が表示される。

【0044】

③ 図9(a)及び図2に示すように、電極4 aに $V_{11} = +7$ Vの電圧を印加すると、帯電泳動粒子3は L_3 の位置に停止され、階調11が表示される。

【0045】

④ 図9(b)及び図2に示すように、電極4 aに $V_{16} = +10$ Vの電圧を印加すると、帯電泳動粒子3は L_4 の位置に停止され、階調16が表示される。

【0046】

なお、パルス幅階調によっても同様の階調表示を行うことができる。

【0047】

ところで、図8及び図9では、左右の画素A、Bの電極4 aには同じ電圧が印加されているので、階調信号を補正しなくても所定階調を表示できるが、左右の電圧が図10(a)に示すように異なると、隣接画素間電界干渉が発生し、画素境界近傍の帯電泳動粒子3が乱れて（例えば、符号Cで示す部分の電界が、隣接して配置された画素Bに印加された電圧の影響を受けてしまい）、表示階調がずれてしまう。つまり、画素Aの全ての帯電泳動粒子3が図8(b)に示すように L_2 の位置に停止されれば階調4を表示できるが、一部の帯電泳動粒子3が基板1 aの側に移動してしまうので、表示階調が若干暗くなってしまう。具体的には、階調4で反射率が17%になるはずなのに、実際の反射率は15%程度であった。

【0048】

そこで、図10(b)に示すように、階調信号を $V_4 (=2.0$ V)から $V_4' (=2.5$ V)に補正して帯電泳動粒子3の配置位置を L_2 から L_2' にして、階調4（反射率17%）を実現する。

【0049】

以下、電気泳動表示素子の構成について補足する。

【0050】

画素と画素との間は隔壁にて仕切って、帯電泳動粒子3の他の画素への移動を抑制するようにすると良い。また、分散液2及び帯電泳動粒子3をマイクロカプセル5で封止するようにすると良い。このマイクロカプセル5は各画素に対応する位置にそれぞれ配置しても良いが、これに限られるものではなく、マイクロカプセルの配置位置と画素とが整合していなくても良い。さらに、1つの画素に複数のマイクロカプセルを配置しても良い。

【0051】

(5-2) 液晶表示素子の構成

液晶表示素子P₂は、図11に示すように、所定間隙を開けた状態に一对の基板11a, 11bを配置し、それらの間隙には液晶層13を配置し、該液晶層13を挟み込むように一对の電極14a, 14bを配置すると良い。そして、一方の電極14bは各画素共通のコモン電極とし、他方の電極14aは画素電極にすると良い。コモン電極を0Vに接地して、画素電極に印加する書き換え電圧を変えることで、表示切替をおこなうことができる。

【0052】

この液晶表示素子を反射型にする場合には、後ろ側に配置する方の電極14aを高反射率の金属にて形成して、反射層としての機能を持たせると良い。

【0053】

図11(a)や(c)に示すように、左右の画素A, Bの印加電圧を同じにすれば適正階調を表示させることができるが、図11(b)に示すように左右の電圧を異ならせれば、画素境界部分Cの液晶が乱れて、表示階調がずれてしまう。そこで、画素Aへの印加電圧を補正してやって、表示階調のズレを解消してやる。

【0054】

(6) その他

メモリM₁, M₂の容量は特に限定されるものではなく、ラインメモリ、フレームメモリ等を用いることができる。

【0055】

次に、本実施の形態の効果について説明する。

【0056】

本実施の形態によれば、周囲の画素からの影響を相殺して所望通りの階調を表示することができる。

【0057】

【実施例】

以下、実施例に沿って本発明を更に詳細に説明する。

【0058】

(実施例1)

本実施例では、図1(a)に示す表示装置を作製し、その表示素子Pには図8に示す構造の電気泳動表示素子を用いた。300行×250列のマトリクス状の表示素子とした。

【0059】

基板1a, 1bには、1.1mm厚のガラス基板を用いた。これらの基板1a, 1bの間隙にはマイクロカプセル5を配置し、分散液2及び泳動粒子3はマイクロカプセル5に封入した。マイクロカプセル5は、複合コアセルベーション法により作製した。分散液2は、染料により黒色に着色し、泳動粒子3は、白色の酸化チタンにて形成した。また、観察者側の電極（以下“コモン電極”とする）4bは透明なITOにて形成し、反対側の電極（以下“画素電極”とする）4aはAlにより形成した。そして、各画素電極4aには不図示の薄膜トランジスタを接続して、アクティブMTX駆動によりフレーム書き換えを行えるようにした。

【0060】

駆動回路Qからはデジタル画像データを出力し、補正回路Rでは、表示素子の特性に合わせてデジタル画像データを補正するようにし、アナログ信号形成回路Uでは、デジタル信号をアナログ信号に変換するようにした。

【0061】

補正回路Rでは図6に示すデータ処理を行った。本実施例の表示装置は1画素が4bit階調表示をおこなうものであり、画像データは各画素4bit階調を示すデジタル情報をもっている。ここで、入力された画像データが4bit階調

のデータでなければ、4 bit 階調のデータに変換される。

【0062】

まず、 $i = 1$ 、 $j = 1$ として（図6のS1参照）、補正画素 $X_{i,j}$ 及び周辺画素 $X_{i+1,j}$ 、 $X_{i,j-1}$ 、 $X_{i-1,j}$ 、 $X_{i,j+1}$ の画像データの値をメモリから抽出する（同図のS2参照）。そして、テーブルデータ（書き換え電圧変換テーブルデータ）を参照して、補正画素 $X_{i,j}$ の書き換え電圧を算出する（同図のS3参照）。該算出された書き換え電圧（電圧値を示すデジタル情報）は第2メモリ M_2 に格納される。

【0063】

その後、「 $i = 250$ で、かつ $j = 300$ であるか」の確認がされ（同図S4参照）、「No」の場合には「 $i = 250$ であるか」の確認がされるが（S5参照）、上述のように $i = j = 1$ なので $i = i + 1$ とされて（S6参照）、上述と同様に画素データの値の抽出（S2参照）、及び書き換え電圧の算出（S3参照）が実行される。

【0064】

このようにして、画素 $X_{1,1}$ 、 $X_{2,1}$ 、 $X_{3,1}$ 、 \dots 、 $X_{250,1}$ の250個の画素の画像データが次々に抽出され終えた段階では、 $i = 250$ で $j = 1$ なので $i = 1$ 、 $j = 2$ とされ（S4、S5、S7参照）、画素 $X_{1,2}$ 、 $X_{2,2}$ 、 $X_{3,2}$ 、 \dots 、 $X_{250,2}$ の250個の画素の画像データが抽出される。同様に、 $j = 3, 4, 5, \dots, 300$ として画像データが抽出される。

【0065】

そして、最後の画素 $X_{250,300}$ の書き換え電圧の値が決定されれば、 $i = 250$ で、かつ $j = 300$ となるので、データ処理が終了する（S4参照）。

【0066】

次に、本実施例の書き換え電圧変換テーブルについて説明する。書き換え電圧変換テーブルは、300行×250列の表示装置における補正画素 $X_{i,j}$ と周辺画素 $X_{i+1,j}$ 、 $X_{i,j-1}$ 、 $X_{i-1,j}$ 、 $X_{i,j+1}$ に注目して、以下のようにして実験により求めた。この実験は、自動測定系によりおこなった。

【0067】

まず、補正画素 $X_{i,j}$ の書き換え電圧に対して、周辺画素 $X_{i+1,j}$ 、 $X_{i,j-1}$ 、 $X_{i-1,j}$ 、 $X_{i,j+1}$ に同一の書き換え電圧を印加したときの補正画素 $X_{i,j}$ の反射率と、補正画素 $X_{i,j}$ の書き換え電圧に対して、周辺画素 $X_{i+1,j}$ 、 $X_{i,j-1}$ 、 $X_{i-1,j}$ 、 $X_{i,j+1}$ に異なる書き換え電圧を印加したときの補正画素 $X_{i,j}$ の反射率を求めた。次に、これらの反射率の差が $\pm 2\%$ 以上の場合において、後者の反射率が、前者の反射率に対して、 $\pm 2\%$ 未満の値となるように、補正画素 $X_{i,j}$ の書き換え電圧に補正をおこなった。また、書き換え電圧の補正は、印加電圧の大きさと、印加時間の長さ、また印加タイミングによっておこなった。このようにして、すべての書き換え電圧の組み合わせについて、反射率の変動差が $\pm 2\%$ 以上のものに対して補正值を求めることで、書き換え電圧変換テーブルを作成した。

【0068】

補正回路 R でのデジタル画像データの補正の後、アナログ信号形成回路 U において、表示素子を駆動させるためのアナログ信号が形成され、300 行 \times 250 列の表示素子に書き換え電圧が印加される。その結果、各階調における所望の反射率から $\pm 2\%$ の変動幅において、各画素に 16 階調表示が可能であった。

【0069】

(実施例 2)

本実施例では、実施例 1 と同様の装置を用い、実施例 1 と同様の方法で全ての画素の書き換え電圧を決定し、メモリに格納した。

【0070】

次に、 $i=1$ 、 $j=1$ 、 $k=1$ として、上記メモリから、補正画素 $X_{i,j}$ 及び周辺画素 $X_{i+1,j}$ 、 $X_{i,j-1}$ 、 $X_{i-1,j}$ 、 $X_{i,j+1}$ の書き換え電圧の値を抽出する（図 7 の S12 参照）。

【0071】

次に、テーブルデータを参照して、補正画素 $X_{i,j}$ の書き換え電圧を求める（S13 参照）。求められた書き換え電圧の値は、電圧値を示すデジタル情報であり、所定のメモリ上に格納される。

【0072】

次に、 $i = 250$ 、 $j = 300$ でなければ、 $i = 250$ であるかを確認される（S14、S15参照）。 $i = 250$ でない場合、 $i = i + 1$ 、 $j = j$ と処理される（S16参照）、書き換え電圧の補正值が求められる（S12、S13参照）。もし $i = 250$ である場合、 $i = 1$ 、 $j = j + 1$ と処理されて（S15、S17参照）、書き換え電圧の補正值が求められる（S12、S13参照）。このデータ処理は、 $i = 250$ 、 $j = 300$ となるまでおこなわれ、 300 行 \times 250 列の全ての画素の新たな書き換え電圧の値が決定される（S14参照）。

【0073】

次に、 $k = 3$ であるか確認され、もし $k = 3$ でなければ、 $i = 1$ 、 $j = 1$ 、 $k = k + 1$ と処理されて、上述の一連の処理が繰り返される。

【0074】

結局、全画素につき $k = 1 \sim 3$ の3回書き換え電圧の補正がなされ、処理が終了する。

【0075】

次に、本実施例の書き換え電圧変換テーブルについて説明する。書き換え電圧変換テーブルは、 300 行 \times 250 列の表示装置における補正画素 $X_{i,j}$ と周辺画素 $X_{i+1,j}$ 、 $X_{i,j-1}$ 、 $X_{i-1,j}$ 、 $X_{i,j+1}$ に注目して、以下のようにして実験により求めた。この実験は、自動測定系によりおこなった。

【0076】

まず、補正画素 $X_{i,j}$ の書き換え電圧に対して、周辺画素 $X_{i+1,j}$ 、 $X_{i,j-1}$ 、 $X_{i-1,j}$ 、 $X_{i,j+1}$ に同一の書き換え電圧を印加したときの補正画素 $X_{i,j}$ の反射率と、補正画素 $X_{i,j}$ の書き換え電圧に対して、周辺画素 $X_{i+1,j}$ 、 $X_{i,j-1}$ 、 $X_{i-1,j}$ 、 $X_{i,j+1}$ に異なる書き換え電圧を印加したときの補正画素 $X_{i,j}$ の反射率を求めた。次に、これらの反射率の差が $\pm 1\%$ 以上の場合において、後者の反射率が、前者の反射率に対して、 $\pm 1\%$ 未満の値となるように、補正画素 $X_{i,j}$ の書き換え電圧に補正をおこなった。また、書き換え電圧の補正は、印加電圧の大きさと、印加時間の長さ

、また印加タイミングによっておこなった。このようにして、すべての書き換え電圧の組み合わせについて、反射率の変動差が $\pm 1\%$ 以上のものに対して補正值を求めることで、書き換え電圧変換テーブルを作成した。

【0077】

補正回路Rでのデジタル画像データの補正の後、アナログ信号形成回路Uにおいて、表示素子を駆動させるためのアナログ信号が形成され、300行 \times 250列の表示素子に書き換え電圧が印加される。その結果、各階調における所望の反射率から $\pm 1\%$ の変動幅において、各画素に16階調表示が可能であった。

【0078】

(実施例3)

本実施例では、図1(a)に示す表示装置を作製したが、その表示素子Pには図11に示す液晶表示素子を使用した。

【0079】

基板11a, 11bには、1.1mm厚のガラス基板を用いた。また、観察者側の電極14bは透明なITOにて形成し、反対側の電極14aはAlにより形成した。その他の構成並びに制御方法は実施例1と同様にした。

【0080】

本実施例によれば、適正階調の表示をすることができた。

【0081】

【発明の効果】

以上説明したように、本発明によると、周囲の画素からの影響を相殺して所望通りの階調を表示することができる。

【図面の簡単な説明】

【図1】

(a)は、本発明に係る表示装置の全体構成を示すブロック図であり、(b)は、画素の配列を示す模式図。

【図2】

階調信号と表示階調との関係の一例を示す図。

【図3】

補正画素及び周辺画素に同一階調を表示させる場合における、階調信号と表示階調との関係の一例を示す図。

【図 4】

(a) は、補正画素の階調を 4 とする場合において、補正画素及び周辺画素についての表示階調の組み合わせ（左欄）と、補正しない場合の補正画素の表示階調（中央欄）と、補正画素に適正階調を表示させるための階調信号（右欄）との関係を示す図であり、(b) は、補正画素の階調を 8 とする場合において、補正画素及び周辺画素についての表示階調の組み合わせ（左欄）と、補正しない場合の補正画素の表示階調（中央欄）と、補正画素に適正階調を表示させるための階調信号（右欄）との関係を示す図。

【図 5】

(a) は、補正画素の階調を 1 2 とする場合において、補正画素及び周辺画素についての表示階調の組み合わせ（左欄）と、補正しない場合の補正画素の表示階調（中央欄）と、補正画素に適正階調を表示させるための階調信号（右欄）との関係を示す図であり、(b) は、補正画素の階調を 1 6 とする場合において、補正画素及び周辺画素についての表示階調の組み合わせ（左欄）と、補正しない場合の補正画素の表示階調（中央欄）と、補正画素に適正階調を表示させるための階調信号（右欄）との関係を示す図。

【図 6】

補正回路によるデータ処理の様子を説明するためのフローチャート図。

【図 7】

補正回路によるデータ処理の様子を説明するためのフローチャート図。

【図 8】

電気泳動表示素子の駆動の様子を説明するための断面図。

【図 9】

電気泳動表示素子の駆動の様子を説明するための断面図。

【図 1 0】

電気泳動表示素子の駆動の様子を説明するための断面図。

【図 1 1】

液晶表示素子の駆動の様子を説明するための断面図。

【図 1 2】

電気泳動表示素子の従来構造の一例を示す断面図。

【図 1 3】

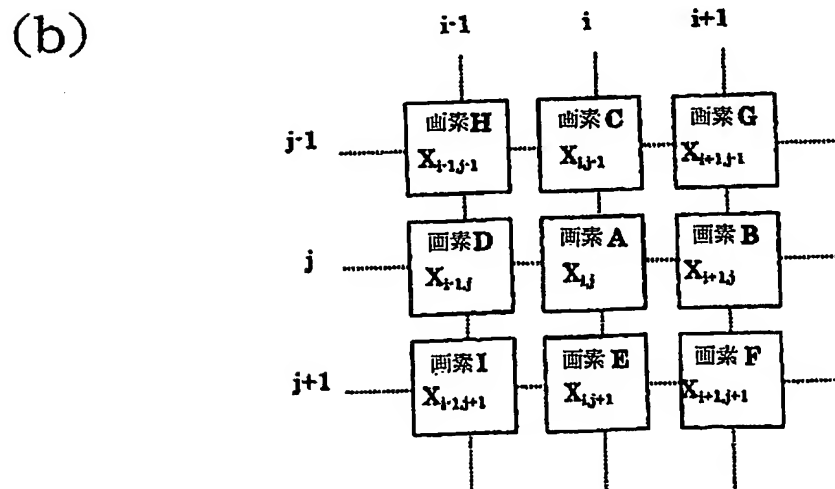
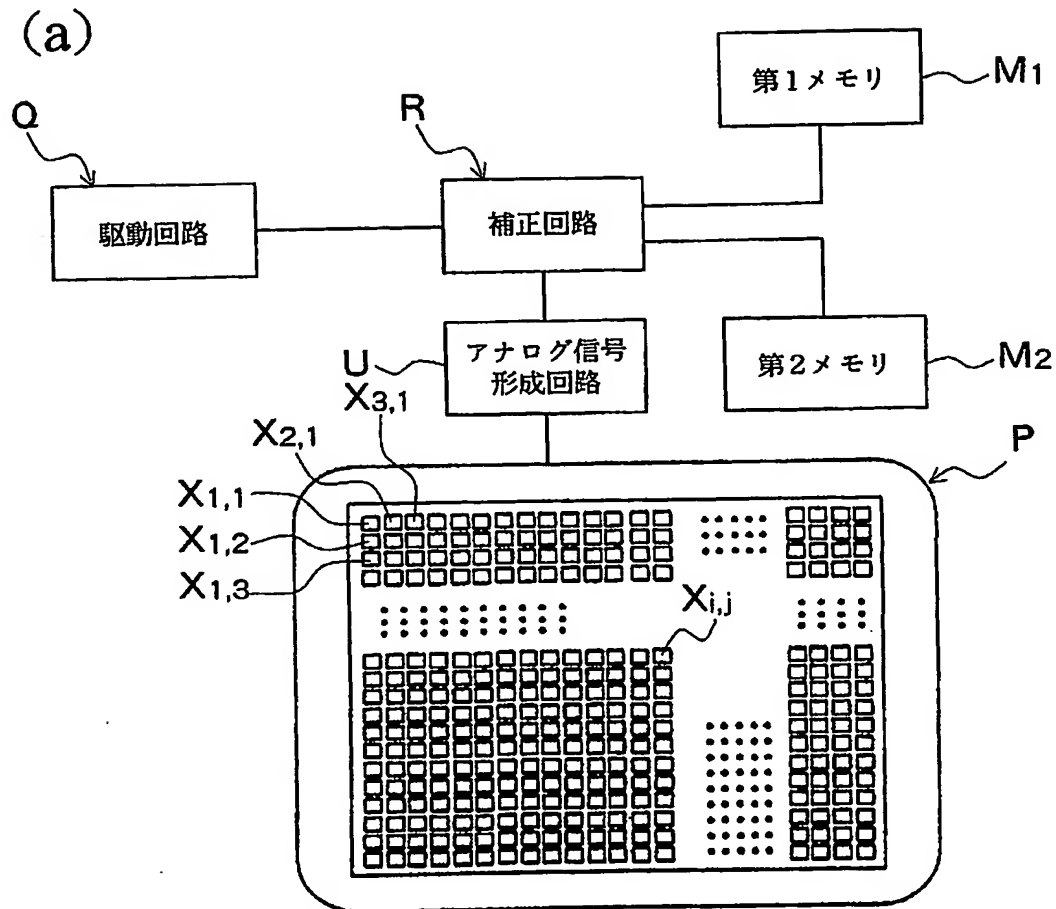
従来の問題点を説明するための断面図。

【符号の説明】

M ₁	第 1 メモリ
P ₁	電気泳動表示素子（表示素子）
P ₂	液晶表示素子（表示素子）
Q	駆動回路
R	補正回路

【書類名】 図面

【図 1】



【図 2】

	階調信号	画素 A の反射率
階調 1	$V_1 = -10V$	5%
階調 2	$V_2 = 0.7V$	9%
階調 3	$V_3 = 1.3V$	13%
階調 4	$V_4 = 2V$	17%
.	.	.
.	.	.
.	.	.
.	.	.
階調 14	$V_{14} = 8.7V$	57%
階調 15	$V_{15} = 9.4V$	61%
階調 16	$V_{16} = 10V$	65%

【図 3】

	A	B	C	D	E	画素 A の 階調信号	画素 A の反射率
階調 1	1	1	1	1	1	V_1	5%
階調 2	2	2	2	2	2	V_2	9%
階調 3	3	3	3	3	3	V_3	13%
階調 4	4	4	4	4	4	V_4	17%
			.				.
			.				.
			.				.
			.				.
階調 14	14	14	14	14	14	V_{14}	57%
階調 15	15	15	15	15	15	V_{15}	61%
階調 16	16	16	16	16	16	V_{16}	65%

【図 4】

(a)

画素 A の階調 4 のとき

	A	B	C	D	E	画素 A の反射率	画素 A の階調信号
K ₁₁	4	1	1	1	1	17%	V ₄
	4	1	1	1	2	17%	V ₄
	4	1	1	2	2	17%	V ₄
	4	1	2	2	2	17%	V ₄
	4	2	2	2	2	17%	V ₄
				⋮		⋮	⋮
	4	7	7	7	7	17%	V ₄
	4	7	7	7	8	17%	V ₄
	4	7	7	8	8	16.9%	V ₄
	4	7	8	8	8	16.9%	V ₄
K ₁₂	4	8	8	8	8	16.8%	V ₄
				⋮		⋮	⋮
	4	15	15	15	15	15.2%	V ₄
	4	15	15	15	16	15.2%	V ₄
	4	15	15	16	16	15.1%	V ₄
	4	15	16	16	16	15%	V ₄
	4	16	16	16	16	15%	V ₄

(b)

画素 A の階調 8 のとき

	A	B	C	D	E	画素 A の反射率	画素 A の階調信号
K ₂₁	8	1	1	1	1	34.2%	V ₈
	8	1	1	1	2	34.1%	V ₈
	8	1	1	2	2	34.0%	V ₈
	8	1	2	2	2	34.0%	V ₈
	8	2	2	2	2	33.8%	V ₈
K ₂₂				⋮		⋮	⋮
	8	7	7	7	7	33%	V ₈
	8	7	7	7	8	33%	V ₈
	8	7	7	8	8	33%	V ₈
	8	7	8	8	8	33%	V ₈
K ₂₃	8	8	8	8	8	33%	V ₈
				⋮		⋮	⋮
	8	15	15	15	15	31.4%	V ₈ "
	8	15	15	15	16	31.5%	V ₈ "
	8	15	15	16	16	31.5%	V ₈ "
	8	15	16	16	16	31.6%	V ₈ "
	8	16	16	16	16	31.6%	V ₈ "

【図 5】

画素 A の階調 12 のとき

(a)

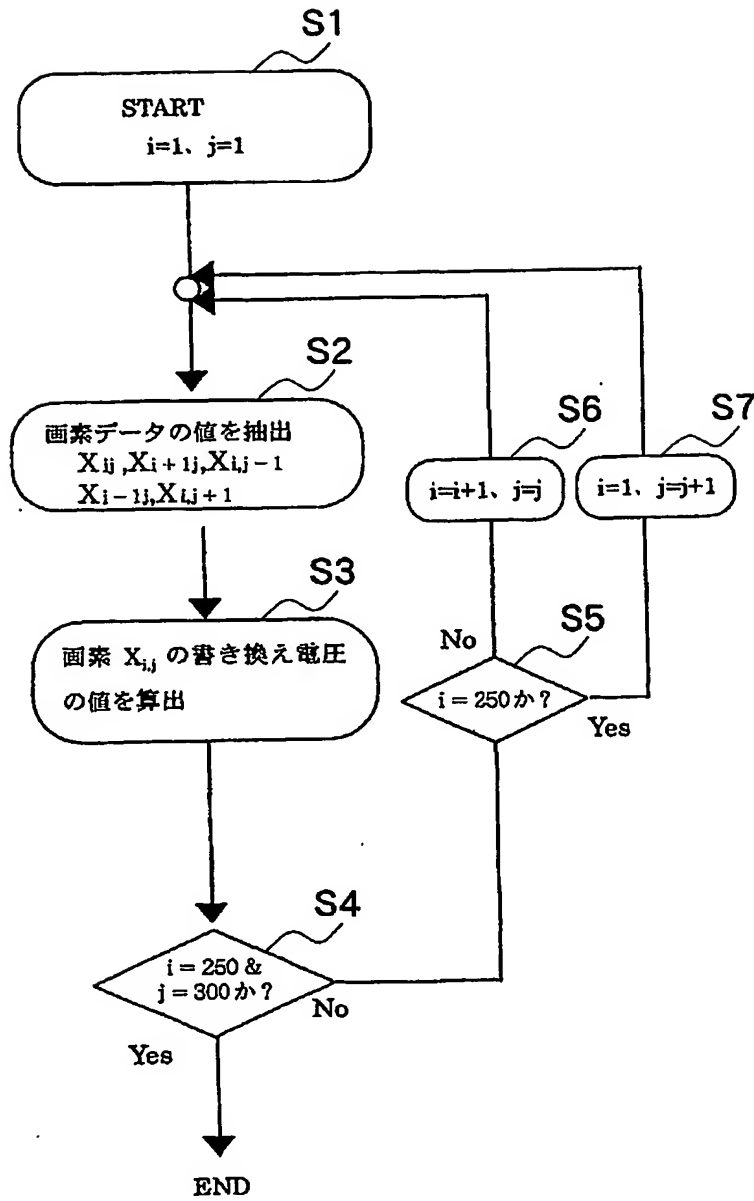
	A	B	C	D	E	画素 A の反射率	画素 A の階調信号
K31	12	1	1	1	1	50.6%	V ₁₂
	12	1	1	1	2	50.5%	V ₁₂
	12	1	1	2	2	50.5%	V ₁₂
	12	1	2	2	2	50.4%	V ₁₂
	12	2	2	2	2	50.4%	V ₁₂
K32				⋮		⋮	⋮
	12	7	7	7	7	49%	V ₁₂
	12	7	7	7	8	49%	V ₁₂
	12	7	7	8	8	49%	V ₁₂
	12	7	8	8	8	49%	V ₁₂
	12	8	8	8	8	49%	V ₁₂
				⋮		⋮	⋮
	12	15	15	15	15	48.9%	V ₁₂
	12	15	15	15	16	48.8%	V ₁₂
	12	15	15	16	16	48.8%	V ₁₂
	12	15	16	16	16	48.8%	V ₁₂
	12	16	16	16	16	48.7%	V ₁₂

画素 A の階調 16 のとき

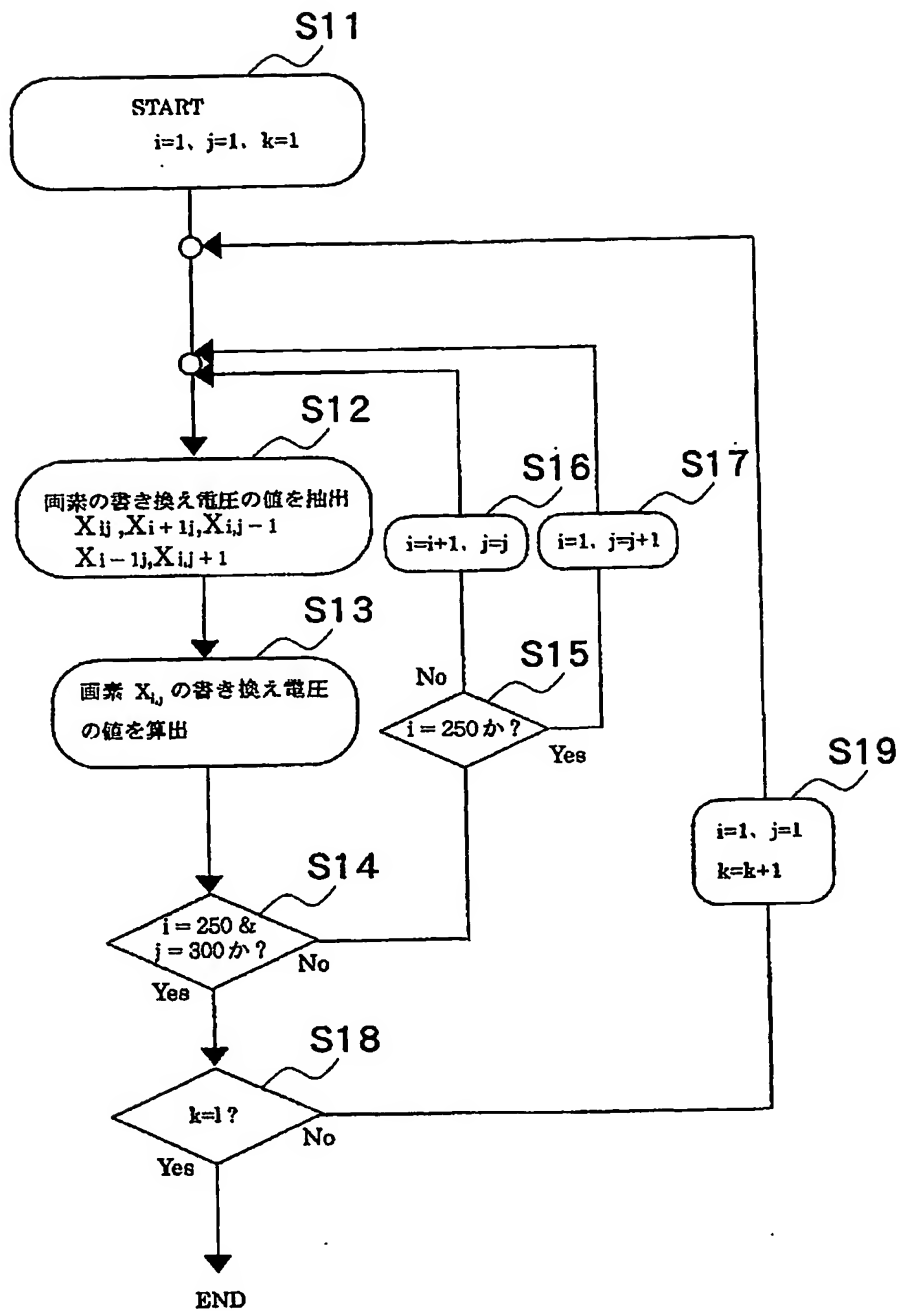
(b)

	A	B	C	D	E	画素 A の反射率	画素 A の階調信号
K41	16	1	1	1	1	67.0%	V ₁₆
	16	1	1	1	2	67.0%	V ₁₆
	16	1	1	2	2	67.0%	V ₁₆
	16	1	2	2	2	66.8%	V ₁₆
	16	2	2	2	2	66.8%	V ₁₆
K42				⋮		⋮	⋮
	16	7	7	7	7	65.8%	V ₁₆
	16	7	7	7	8	65.7%	V ₁₆
	16	7	7	8	8	65.7%	V ₁₆
	16	7	8	8	8	65.6%	V ₁₆
	16	8	8	8	8	65.6%	V ₁₆
				⋮		⋮	⋮
	16	15	15	15	15	65%	V ₁₆
	16	15	15	15	16	65%	V ₁₆
	16	15	15	16	16	65%	V ₁₆
	16	15	16	16	16	65%	V ₁₆
	16	16	16	16	16	65%	V ₁₆

【図 6】

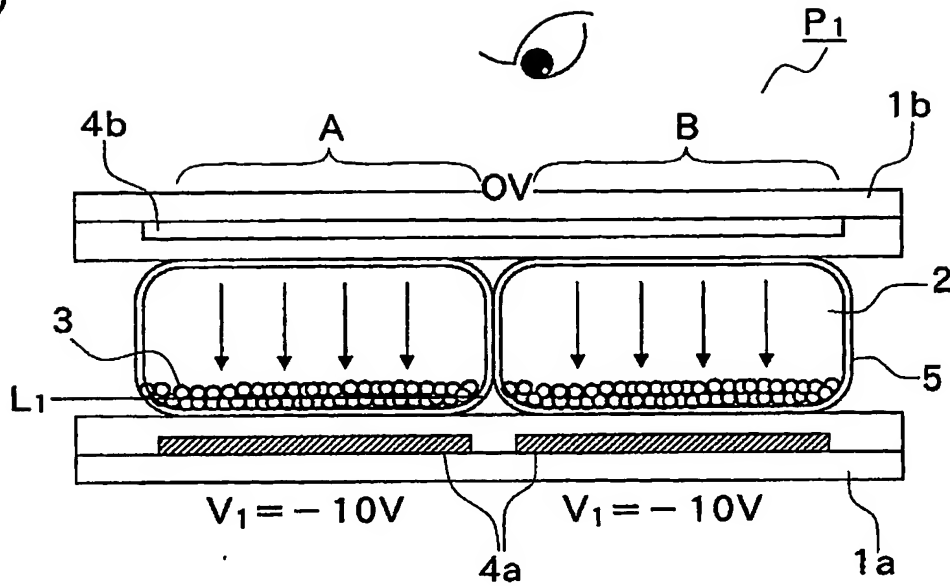


【図 7】

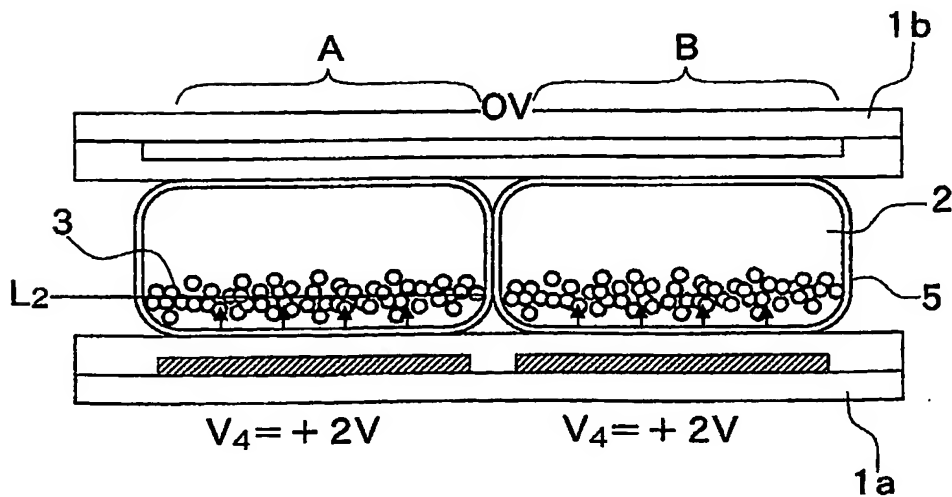


【図 8】

(a)

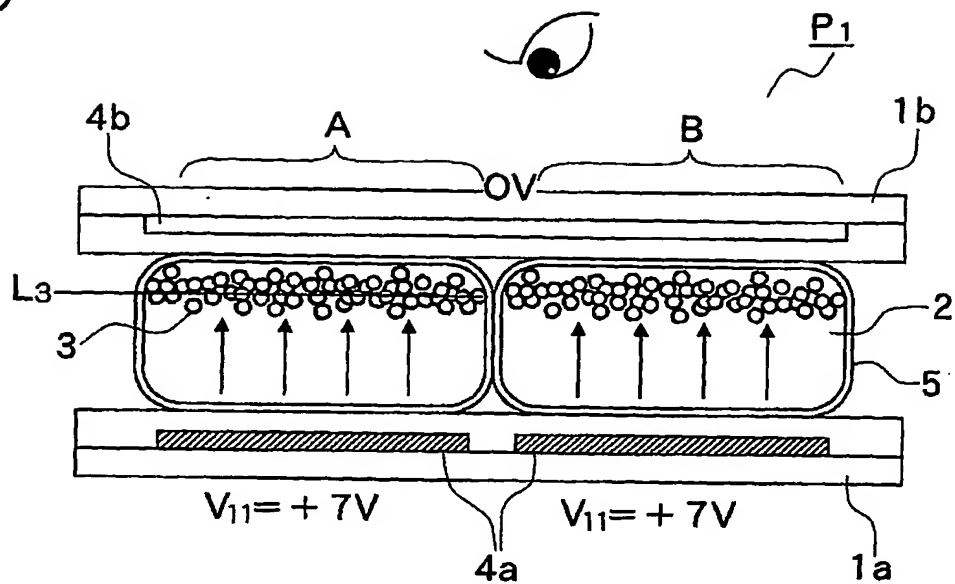


(b)

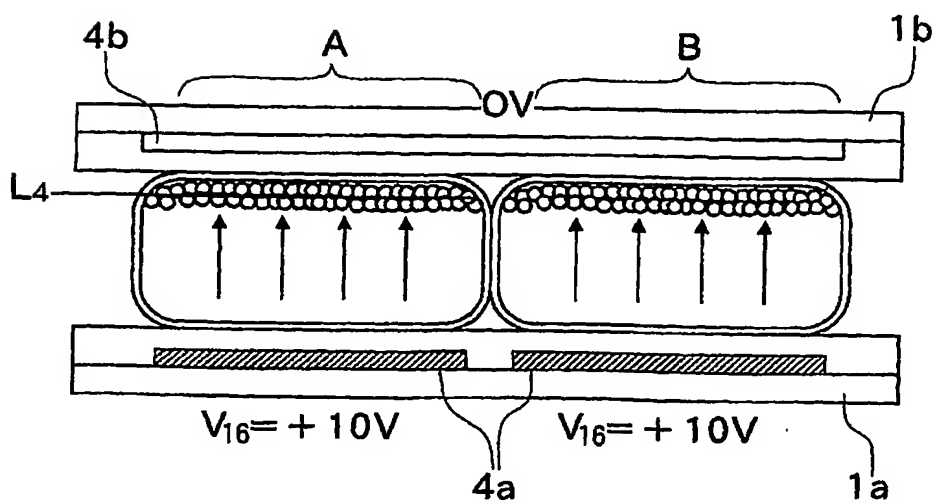


【図 9】

(a)

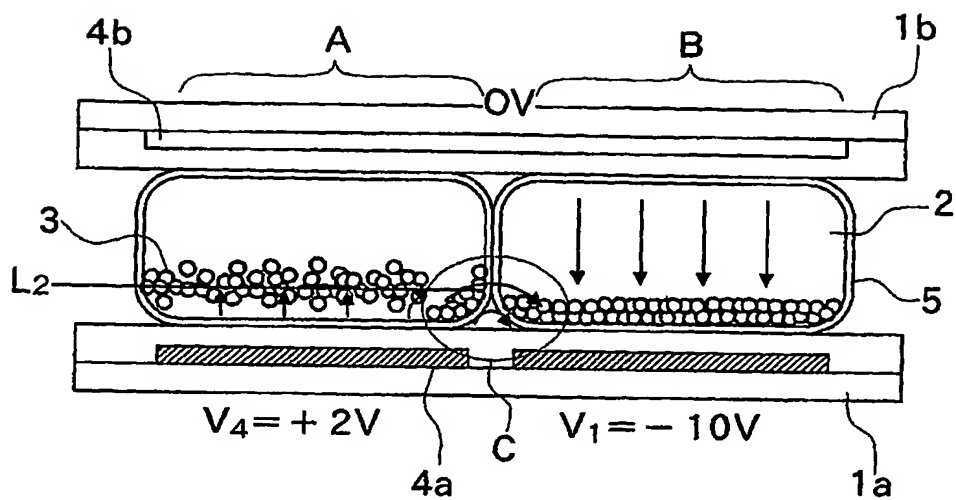


(b)

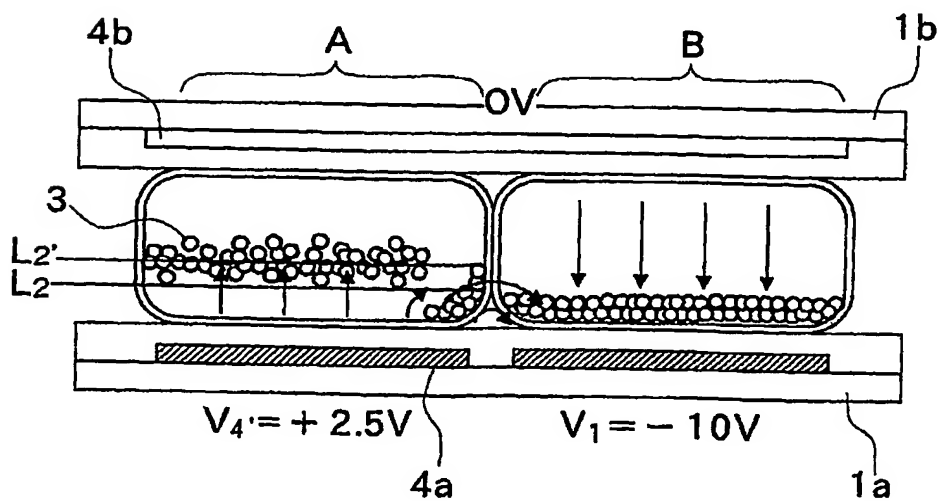


【図 10】

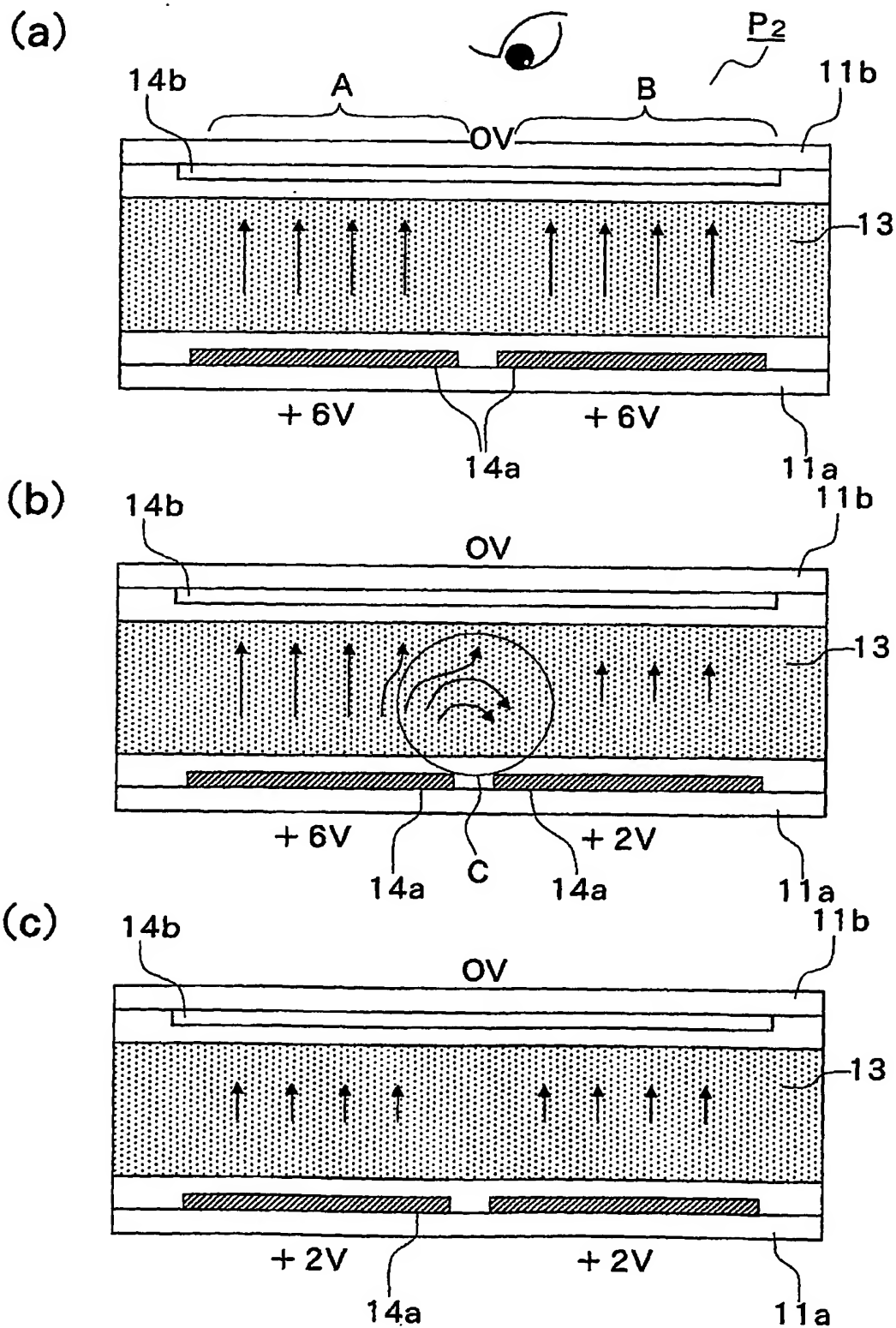
(a)



(b)

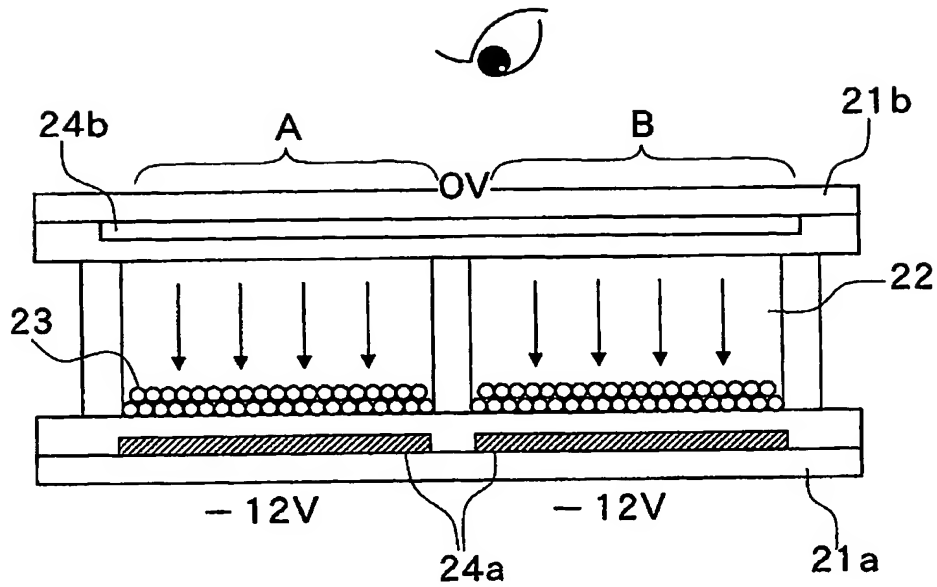


【図 11】

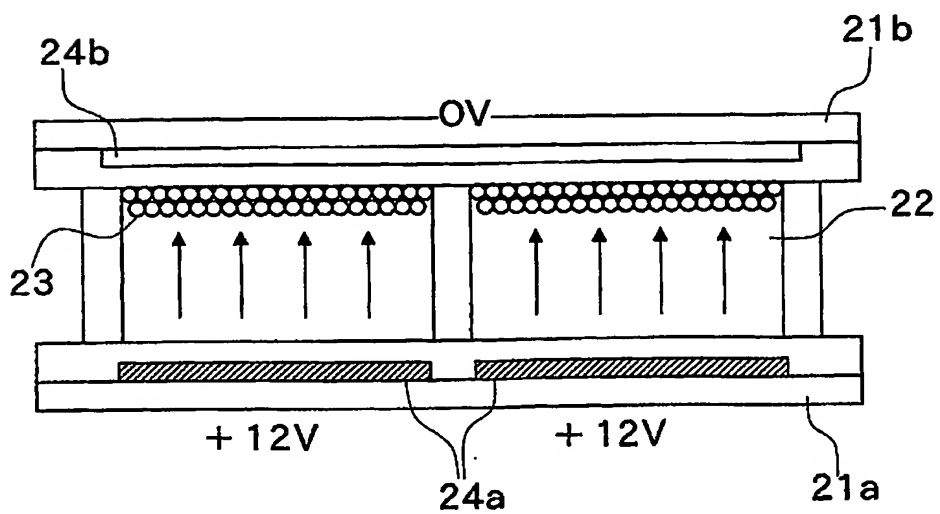


【図 12】

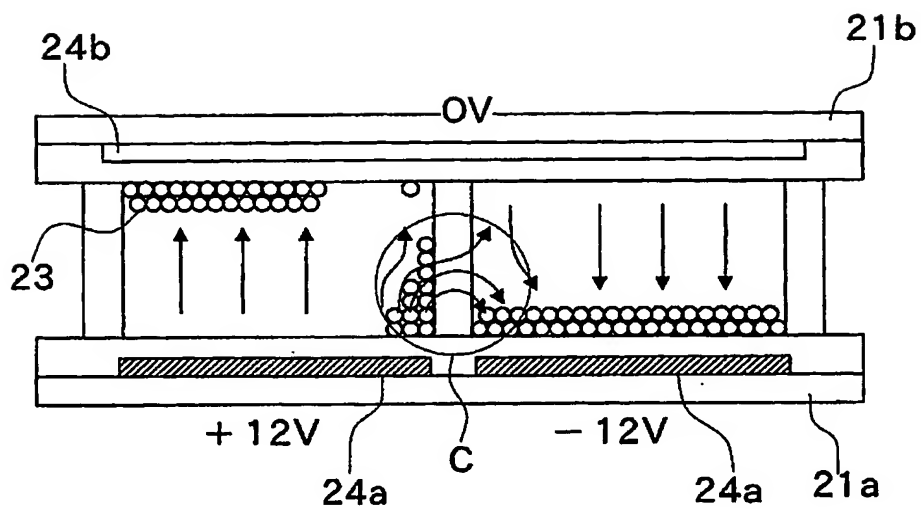
(a)



(b)



【図 13】



【書類名】 要約書

【要約】

【課題】 周囲の画素の電界の影響を相殺して所望通りの階調を表示することができるようにする。

【解決手段】 画素Aに電圧 V_4 を印加して所望の階調を表示させようとしても、Cの部分の帯電泳動粒子3が隣接画素の電界によって引き付けられてしまって、所望通りの階調を表示できない場合がある。そのような場合を予め実験により求めておいて、画素Aには補正した電圧 V_4' を印加するようにする。これにより、Cの部分以外の帯電泳動粒子3によって所望通りの階調を表示することができる。

【選択図】 図10

特願 2 0 0 3 - 1 9 4 5 8 9

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 1 0 0 7]

1. 変更年月日

1 9 9 0 年 8 月 3 0 日

[変更理由]

新規登録

住 所

東京都大田区下丸子 3 丁目 3 0 番 2 号

氏 名

キヤノン株式会社